



Test iz Projektovanja (Digitalnih) Integriranih Kola

1. Za pelet dimenzije $2 \times 3 \text{ mm}^2$ odrediti prinos (yield) i broj ispravnih peleta po podlozi, ako se koristi podloga prečnika 300mm. Parametri procesa su $N_{DEF} = 0.1 \text{ def/cm}^2$ i $\alpha = 3.2$. Poznato je $C_D = C_P / (N_D P_D)$, $K = \pi d / \sqrt{2S_D}$, $P_D = (1 + N_{DEF} S_D / \alpha)^{-\alpha}$, gde je S_D površina peleta i d prečnik podloge.

$$P_D = 99.40\% \quad \mathbf{0.5}$$

$$M_D = 11439 \quad \mathbf{0.5}$$

2. Šta je proces depozicije?

Proces nanošenja materijala (metal, polikristal) ili narastanja oksida na osnovu. **1**

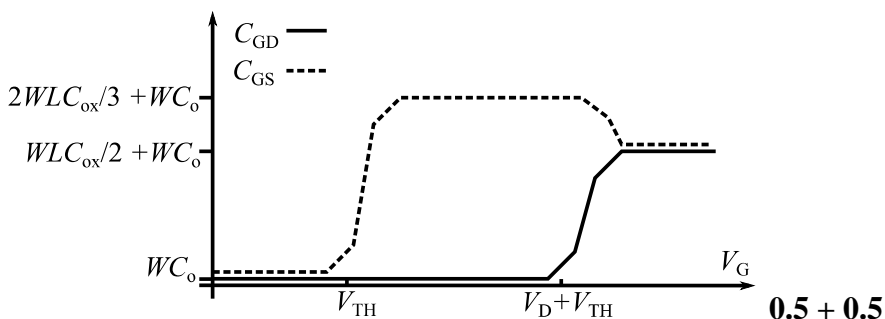
3. Izračunati srednju vrednost kapacitivnosti inverzno polarisanog PN spoja ako se napon inverzne polarizacije menja u opsegu od 0.1V do 0.7V. Poznato je: $V_0 = 0.7V$, $C_{j0} = 5fF$, $m_j = 0.5$, $k_q =$

$$\frac{V_0^{m_j}}{(1-m_j)(V_H-V_L)} [(V_0 + V_H)^{1-m_j} - (V_0 + V_L)^{1-m_j}]$$

$$C_j = 4.027fF \quad \mathbf{0.5}$$

$$k_q = 0.805 \quad \mathbf{0.5}$$

4. Skicirati promenu kapacitivnosti C_{GS} i C_{GD} u zavisnosti od napona na gejtu.



5. Proceniti ukupnu kapacitivnost metalne trake u metalu Al2 dužine 30cm, i širine $2\mu\text{m}$, kao i međukapacitivnost sa susednom žicom u istom metalu koja je postavljena na minimlano dozvoljeno rastojanje. Obe žice su FOX-u. Poznato je: $C_{area(AL2-FOX)} = 13aF/\mu\text{m}^2$, $C_{fringe(AL2-FOX)} = 25aF/\mu\text{m}$.

$$C_{wire} = 22.8pF.$$

$$C_{pp} = WLC_{area(AL2-FOX)} = 7.8pF \quad \mathbf{0.3}$$

$$C_{cc} = 2LC_{fringe(AL2-FOX)} = 15pF \quad \mathbf{0.3}$$

$$C_{wire} = C_{pp} + C_{cc} = 22.8pF \quad \mathbf{0.4}$$

6. Da bi se smanjio efekat parazitne otpornosti veza na čipu treba koristiti,

manji broj vija što veće površine ili

veći broj vija što manje površine. **1**

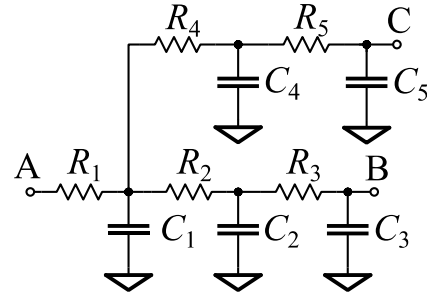
7. Primenom Elmoreove formule proceniti kašnjenje signala za kolo sa Sl.1 od čvora A do,

a) čvora B, **0.5**

$$\frac{t_{pAB}}{\ln(2)} = R_1(C_1 + C_4 + C_5) + (R_1 + R_2)C_2 + (R_1 + R_2 + R_3)C_3$$

b) i čvora C, **0.5**

$$\frac{t_{pAC}}{\ln(2)} = R_1(C_1 + C_2 + C_3) + (R_1 + R_4)C_4 + (R_1 + R_4 + R_5)C_5$$



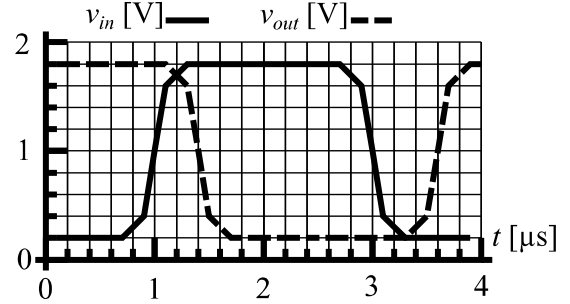
Sl. 1

8. Na osnovu talasnih oblika CMOS invertora sa Sl. 2 proceniti propagaciono kašnjenje,

$$t_p = (t_{pLH} + t_{pHL})/2 = 0.5 \mu s. \quad \mathbf{0.4}$$

$$t_{pHL} = 0.4 \mu s \quad \mathbf{0.3}$$

$$t_{pLH} = 0.6 \mu s \quad \mathbf{0.3}$$



Sl. 2

9. Odrediti relativne dimenzije gejtova *a*, *b* i *c* sa Sl. 3 tako da kašnjenje duž kritične putanje od čvora A do čvora B bude minimalno. Kapacitivnost opterećenja C_L je 70 puta veća od ulazne kapacitivnosti jediničnog invertora. Relativni odnos dimenzija PMOS i NMOS tranzistora jediničnog invertora je 2/1. Poznato je $a=7$.

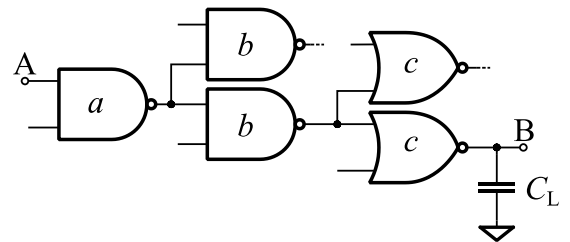
$$b = 12.894.$$

$$c = 25.751.$$

$$F = C_L/C_a = 70/7 = 10, G = (4/3) \times (4/3) \times (5/3) \approx 2.963, B = 1 \times 2 \times 2 = 4 \quad \mathbf{0.3}$$

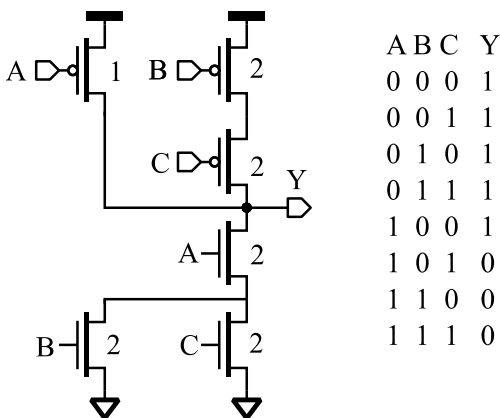
$$H = FGB = 118.518, h = H^{1/3} = 4.912, \quad \mathbf{0.1}$$

$$h = g_c f_c = g_c (C_L/c) \Rightarrow c = g_c C_L/h = 25.751, h = g_b f_b = g_b (2c/b) \Rightarrow b = g_b 2c/h = 12.894 \quad \mathbf{0.6}$$



Sl. 3

10. Nacrtati električnu šemu na tranzistorskom nivou kojom se implementira logička funkcija, $Y = A \cdot (B + C)$, i dimenzionisati tranzistore po kriterijumu $t_{pLH} \approx t_{pHL}$. Relativni odnos dimenzija PMOS i NMOS tranzistora jediničnog invertora je 1/1. Pod pretpostavkom da su svi ulazi statistički nezavisni, odrediti tranzijentnu aktivnost $\alpha_{0 \rightarrow 1}$.



Sl. 3

$$N_0 = 3, M = 3$$

$$\alpha_{0 \rightarrow 1} = \frac{N_0(2^M - M)}{2^{2M}} = 23.4\%$$

$$\alpha_{0 \rightarrow 1} = \mathbf{0.4}$$

$$\text{Tranzistori} - \mathbf{6 \times 0.05 = 0.3}$$

$$\text{Tabela istinitosti} - \mathbf{0.3}$$